



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0076826  
Application Number

출원 년 월 일 : 2002년 12월 05일  
Date of Application DEC 05, 2002

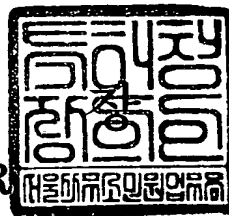
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003      년      08      월      29      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2002. 12. 05
【발명의 명칭】	반도체 소자 및 이의 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND METHOD FOR THE SAME
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	고관주
【성명의 영문표기】	KOH, KWAN JU
【주민등록번호】	691123-1622428
【우편번호】	420-729
【주소】	경기도 부천시 원미구 중4동 금강마을 407동 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

층간 절연막이 낮은 캐패시턴스를 갖는 반도체 소자 및 이의 제조 방법을 제공하기 위하여, 본 발명은, 개별 소자가 형성된 반도체 기판 상부의 하부 절연막 위에 제1 층간 절연막을 형성하는 단계와; 제1 층간 절연막 위에 질화막 및 산화막을 형성하는 단계와; 에어갭을 형성하기 위한 마스크 패턴을 산화막 위에 형성하는 단계와; 노출된 산화막을 식각하여 산화막 패턴을 형성한 후 마스크 패턴을 제거하는 단계와; 산화막 패턴에 질화막을 증착한 후, 이 질화막 및 산화막 하부의 질화막을 식각하여 산화막 패턴에 측벽을 형성함과 아울러 질화막 패턴을 형성하는 단계와; 등방성 식각을 실시하여 상기 산화막 패턴을 제거함과 아울러, 제1 층간 절연막에 개기공을 형성하는 단계와; 제1 층간 절연막 위에 남아있는 질화막 패턴 및 측벽을 제거한 후, 제2 층간 절연막을 형성하여 상기 상부 및 하부 금속 배선층의 사이 공간에 에어갭을 형성하는 단계;를 포함하는 반도체 소자의 제조 방법을 제공한다.

**【대표도】**

도 2

**【색인어】**

에어갭, RC, 캐패시터, 절연막, 배선,

**【명세서】****【발명의 명칭】**

반도체 소자 및 이의 제조 방법{SEMICONDUCTOR DEVICE AND METHOD FOR THE SAME}

**【도면의 간단한 설명】**

도 1은 인트라레벨에 에어갭이 형성된 상태를 도시한 종래 기술에 따른 다층 금속 배선 구조의 단면도이고,

도 2는 인터레벨에 에어갭이 형성된 상태를 도시한 본 발명에 따른 다층 금속 배선 구조의 단면도이며,

도 3a 내지 3i는 도 2의 에어갭을 형성하는 방법을 도시한 공정도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 다층 금속 배선 구조를 갖는 반도체 소자에 관한 것으로서, 더욱 상세하게는 층간 절연막이 낮은 캐패시턴스를 갖는 반도체 소자 및 이의 제조 방법에 관한 것이다.

<5> 반도체 소자가 점차 고집적화, 다층화됨에 따라 중요한 기술의 하나로 다층 배선 기술이 등장하게 되었는데, 이와 같은 다층 배선 기술은 금속 배선층과 절연막층을 회로 소자가 형성된 반도체 기판 상부에 교대로 형성하며, 절연막에 의

해 분리된 금속 배선층 사이를 비아를 통해 전기적으로 접속함으로써 회로 동작이 이루어지도록 하는 것이다.

<6> 이러한 다층 금속 배선 구조에서 반도체 소자의 고집적화 추세에 따라 금속 배선 사이의 간격이 좁아지면서, 동일층에서 서로 인접한 금속 배선과 배선 사이, 또는 하부 금속 배선층과 상부 금속 배선층 사이에 존재하는 기생 저항 및 기생 캐패시턴스가 가장 중요한 문제로 대두되고 있다.

<7> 이러한 기생 저항 및 기생 캐패시턴스는 알씨(RC : resistance capacitance)에 의해 유도되는 지연(delay)에 의하여 소자의 전기적 특성을 열화시키고, 소자의 고속화를 방해하며 더 나아가 반도체 소자의 전력 소모량을 증가시키고 신호 누설량 또한 증가시킨다.

<8> 따라서, 기생 캐패시턴스를 줄이기 위해 낮은 유전상수(K)를 갖는 물질, 예를 들면 기존의 티이오에스(TEOS : tetra ethyl ortho silicate) 계열의 산화물에서 SiC 계열 등, 낮은 유전상수 물질에 대한 연구가 활발히 진행되고 있다. 그러나, 이러한 새로운 저 유전상수 물질을 사용할 경우 추가적인 장비를 도입해야 하고 새로운 물질에 대한 각 단위 공정의 공정 변수 최적화를 수행하여야 하므로 공정 비용이 상승하는 문제점이 있다.

<9> 이에 따라 기존의 TEOS 계열의 산화물을 그대로 사용하면서도 기생 캐패시턴스를 줄이기 위한 방법이 연구되고 있는바, 그 연구 결과로는, 동일층에서 인접하는 금속 배선과 배선 사이의 층간 절연막 내에 에어갭(air gap)을 형성하여 전체적인 캐패시턴스를 낮추는, 이른바 인트라레벨(intralevel)에서의 에어갭 형성 방법이 있다.

- <10> 도 1은 인트라레벨에 에어갭이 형성된 상태를 도시한 종래 기술에 따른 다층 금속배선 구조의 단면도이다.
- <11> 도시된 바와 같이, 반도체 기판의 구조물 상에는 하부 금속 배선층(102)이 형성되어 있고, 하부 금속 배선층(102)의 상측으로는 층간 절연막(104)을 개재하여 상부 금속 배선층(106)이 형성되어 있으며, 상부 및 하부 금속 배선층(106, 102)은 비아(108)에 의해 전기적으로 연결되어 있다. 그리고, 하부 금속 배선층(102)의 사이 공간으로 층간 절연막(104)에는 에어갭(110)이 형성되어 있다.
- <12> 그러나, 종래에는 도시한 바와 같이 하부 금속 배선층(102) 사이의 인트라레벨에만 에어갭(110)이 형성되어 있을 뿐, 인터레벨(interlevel), 즉 하부 금속 배선층과 상부 금속 배선층 사이에 에어갭을 형성하는 것이 불가능하였기 때문에 전체적인 캐패시턴스를 낮추는데 한계가 있었다.
- <13> 따라서, 하부 금속 배선층과 상부 금속 배선층 사이에 에어갭을 형성한다면 전체적인 캐패시턴스를 대폭 낮출 수 있을 것으로 기대되므로, 이러한 인터레벨에서의 에어갭 형성이 절실히 요청되고 있는 실정이다.

**【발명이 이루고자 하는 기술적 과제】**

- <14> 본 발명은 이와 같은 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 그 목적은 상부 및 하부 금속 배선층 사이를 절연하는 층간 절연막의 캐패시턴스를 낮추어 절연 특성을 향상시킨 반도체 소자 및 이 소자의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <15> 상술한 목적을 달성하기 위하여 본 발명은,
- <16> 다층 금속 배선 구조를 갖는 반도체 소자에 있어서,
- <17> 하부 금속 배선층과 상부 금속 배선층 사이에 구비되는 제1 및 제2 층간 절연막과;
- <18> 상기 상부 및 하부 금속 배선층 사이의 인터레벨에서 제 1 층간 절연막에 구비되는 에어갭과;
- <19> 상기 상부 및 하부 금속 배선층을 연결하는 비아;
- <20> 를 포함하는 반도체 소자를 제공한다.
- <21> 상기한 반도체 소자를 제조하기 위한 방법으로 본 발명은,
- <22> 하부 금속 배선층을 포함하는 개별 소자가 형성된 반도체 기판 상부의 하부 절연막 위에 제1 층간 절연막을 형성하는 단계와;
- <23> 제1 층간 절연막 위에 질화막 및 산화막을 순차적으로 형성하는 단계와;
- <24> 에어갭을 형성하기 위한 마스크 패턴을 산화막 위에 형성하는 단계와;
- <25> 마스크 패턴에 의해 노출된 산화막을 식각하여 산화막 패턴을 형성한 후 마스크 패턴을 제거하는 단계와;
- <26> 산화막 패턴에 질화막을 증착한 후, 이 질화막을 식각하여 산화막 패턴에 측벽을 형성하는 단계와;
- <27> 등방성 식각을 실시하여 상기 산화막 패턴을 제거함과 아울러, 제1 층간 절연막에 개기공을 형성하는 단계와;

- <28> 제1 층간 절연막 위에 남아있는 질화막 및 측벽을 제거한 후, 제2 층간 절연막을 형성하여 상기 상부 및 하부 금속 배선층의 사이 공간인 인터레벨의 제1층간 절연막에 폐기공으로 이루어진 에어갭을 형성하는 단계와;
- <29> 제2 층간 절연막 및 제1 층간 절연막을 선택적으로 제거하여 하부 금속 배선을 노출시키는 비아홀을 형성하고, 상기 비아홀의 내부를 금속 물질로 충전한 다음, 상부 금속 배선층을 형성하는 단계;
- <30> 를 포함한다.
- <31> 이하 본 발명의 일 실시예에 따른 반도체 소자 및 이의 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- <32> 도 2는 인터레벨에 에어갭이 형성된 상태를 도시한 본 발명에 따른 다층 금속 배선 구조의 단면도이며, 도 3a 내지 3i는 도 2의 에어갭을 형성하는 방법을 도시한 공정도이다.
- <33> 도시한 바와 같이, 하부 금속 배선층(12)을 포함하는 개별 소자가 형성된 반도체 기판 상부의 하부 절연막(14) 위에는 제1 및 제2 층간 절연막으로 이루어진 층간 절연막(16)이 형성되어 있고, 층간 절연막(16)에는 상부 금속 배선층(18)과 상기 하부 금속 배선층(12)을 연결하는 비아(20)가 형성되어 있다.
- <34> 이러한 구성의 반도체 소자는 위에서 설명한 바와 같이 상부 및 하부 금속 배선층(18,12)의 사이 공간인 인터레벨의 층간 절연막(16) 내에는 도시한 바와 같이 에어 갭(22)이 형성되어 있으므로, 하부 금속 배선층의 사이 공간인 인터레



레벨의 층간 절연막 내부에 에어 갭이 형성된 종래의 반도체 소자에 비해 전체적인 캐패시턴스의 저하가 가능하다.

- <35>       상기한 구성의 반도체 소자를 제조하는 방법은 다음과 같다.
- <36>       먼저, 도 3a에 도시한 바와 같이, 반도체 기판의 구조물, 즉 개별 소자가 형성된 반도체 기판 상부에서 하부 금속 배선층(12)을 포함하여 하부 절연막(14) 위에 제1 층간 절연막(16a)을 형성한다.
- <37>       제1 층간 절연막(16a)으로는 통상적으로 사용하는 TEOS 계열 물질을 증착 형성한 산화막을 사용할 수 있다.
- <38>       이어서, 도 3b에 도시한 바와 같이 제1 층간 절연막(16a) 위에 질화막(24) 및 산화막(26)을 순차적으로 형성하고, 도 3c에 도시한 바와 같이 산화막(26) 위에 감광막을 도포, 노광 및 현상하여 에어갭을 형성하고자 하는 위치에 해당하는 부분의 산화막(26)을 노출시키는 마스크 패턴(28)을 형성한다.
- <39>       이 때 에어갭을 형성하고자 하는 위치로서 비아(20)가 형성되는 금속 배선층의 상부는 피하도록 하며, 바람직하게는 하부 금속 배선층(12) 사이의 상부가 되도록 한다.
- <40>       다음, 도 3d에 도시한 바와 같이, 마스크 패턴(28)을 마스크로 하여 노출된 산화막(26)을 식각하여 산화막 패턴(26')을 형성한 후, 마스크 패턴(28)을 제거하고 세정공정을 수행한다.
- <41>       다음, 도 3e에 도시한 바와 같이, 산화막 패턴(26')에 질화막(30)을 증착하고, 도 3f에 도시한 바와 같이 산화막 패턴(26') 상부의 질화막(30) 및 산화막

패턴(26') 하부의 노출된 질화막(24)을 식각하여 산화막 패턴(26')에 측벽(30')을 형성함과 아울러 질화막 패턴(24')을 형성한다.

<42> 계속하여, 도 3g에 도시한 바와 같이 제1 층간 절연막(16a)을 건식 등방성 식각을 이용하여 식각한다. 상기한 등방성 식각에 의하면 제1 층간 절연막(16a)이 원형에 가까운 모양으로 식각되어 제1 층간 절연막(16a)에 열린 형태의 개기공(22')이 형성된다. 이 때 등방성 식각에 의해 형성된 개기공(16)의 크기, 열린 정도 등 구체적인 모양은 식각 시간 등으로 조절할 수 있다.

<43> 또한, 상기 제1 층간 절연막(16a)의 식각시에 산화막 패턴(26')도 제거된다

<44> 다음, 도 3h에 도시된 바와 같이, 제1 층간 절연막(16a) 위에 남아있는 질화막 패턴(24') 및 측벽(30')을 제거하고, 도 3i에 도시한 바와 같이 제1 층간 절연막(16a) 위에 동일 물질인 TEOS 산화막을 연속적으로 증착하여 제2 층간 절연막(16b)을 형성한 후, 화학 기계적 연마 공정을 실시하여 상면을 평탄화한다.

<45> 이때, 상기 제2 층간 절연막(16b)은 개기공(22')의 개구부가 먼저 막히도록 제1 층간 절연막(16a)에 증착되는바, 이로 인해 상기 제1 층간 절연막(16a)에는 폐기공(22)이 형성된다.

<46> 따라서, 제1 층간 절연막(16a) 내에 형성된 폐기공(22)이 절연체의 유전상수 측면에서 보면 에어갭의 역할을 수행한다.

<47> 다음으로는 제2 층간 절연막(16b) 및 제1 층간 절연막(16a)을 선택적으로 식각하여 하부 금속 배선층(12)을 노출시키는 비아홀을 형성하고, 비아홀의 내부

를 금속물질로 충전하여 비아(20)를 형성한 다음, 상부 금속 배선층(18)을 형성함으로써 도 2에 도시한 다층 금속 배선 구조의 형성을 완료한다.

<48>       상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

#### 【발명의 효과】

<49>       상술한 바와 같이 본 발명에서는 하부 금속 배선층과 상부 금속 배선층 사이의 인터레버에 에어갭을 형성하기 때문에 종래 동일층의 금속 배선 간에 에어갭을 형성하였던 경우에 비해 에어갭의 크기를 훨씬 크게 할 수 있다. 따라서 캐패시턴스 저하폭을 크게 할 수 있어서 층간 절연막의 절연 특성을 향상시키는 효과가 있다.

<50>       또한, 기존에 사용하던 층간 절연막 물질을 그대로 사용하면서도 기생 캐패시턴스 값을 대폭 낮출 수 있기 때문에 저렴한 공정 비용으로 고속 소자를 구현하는 효과가 있다.

【특허청구범위】

【청구항 1】

다층 금속 배선 구조를 갖는 반도체 소자에 있어서,  
하부 금속 배선층과 상부 금속 배선층 사이에 구비되는 제1 및 제2 층간 절연막과;  
상기 상부 및 하부 금속 배선층 사이의 인터레벨에서 제1 층간 절연막에 구비되는 에어갭과;  
상기 상부 및 하부 금속 배선층을 연결하는 비아;  
를 포함하는 반도체 소자.

【청구항 2】

제 1항에 있어서, 상기 제1 및 제2 층간 절연막은 TEOS 계열 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 3】

하부 금속 배선층을 포함하는 개별 소자가 형성된 반도체 기판 상부의 하부 절연막 위에 제1 층간 절연막을 형성하는 단계와;  
제 1 층간 절연막 위에 질화막 및 산화막을 순차적으로 형성하는 단계와;  
에어갭을 형성하기 위한 마스크 패턴을 산화막 위에 형성하는 단계와;  
마스크 패턴에 의해 노출된 산화막을 식각하여 산화막 패턴을 형성한 후 마스크 패턴을 제거하는 단계와;

산화막 패턴에 질화막을 증착한 후, 이 질화막 및 산화막 하부의 질화막을 식각하여 산화막 패턴에 측벽을 형성함과 아울러 질화막 패턴을 형성하는 단계와 ;

등방성 식각을 실시하여 상기 산화막 패턴을 제거함과 아울러, 제1 층간 절연막에 개기공을 형성하는 단계와;

제1 층간 절연막 위에 남아있는 질화막 패턴 및 측벽을 제거한 후, 제2 층간 절연막을 형성하여 상기 상부 및 하부 금속 배선층의 사이 공간인 인터레벨의 제1 층간 절연막에 폐기공으로 이루어진 에어갭을 형성하는 단계와;

제 2 층간 절연막 및 제1 층간 절연막을 선택적으로 제거하여 하부 금속 배선을 노출시키는 비아홀을 형성하고, 상기 비아홀의 내부를 금속 물질로 충전한 다음, 상부 금속 배선층을 형성하는 단계;

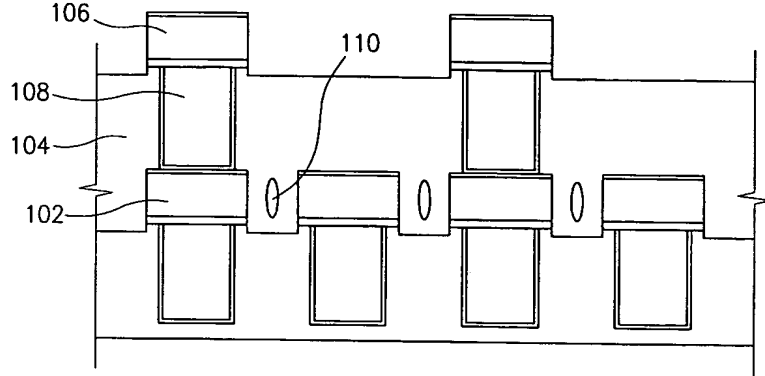
를 포함하는 반도체 소자의 제조 방법.

#### 【청구항 4】

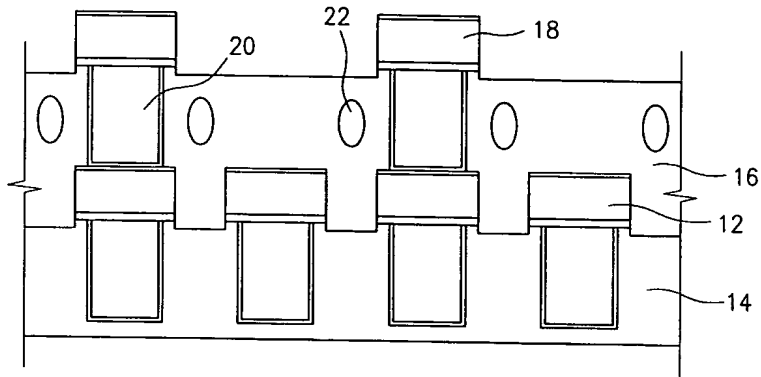
제 3항에 있어서, 상기 제1 및 제2 층간 절연막은 TEOS 계열 물질을 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

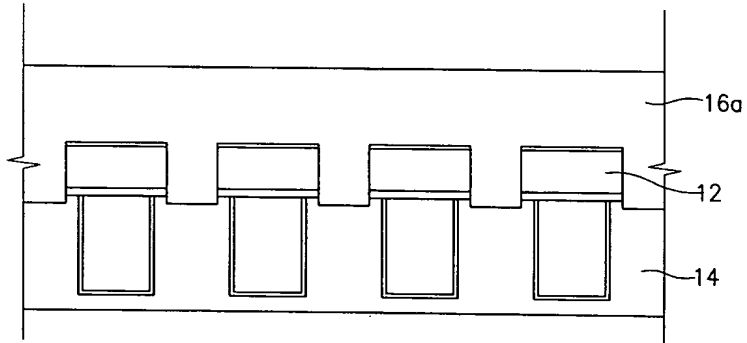
【도 1】

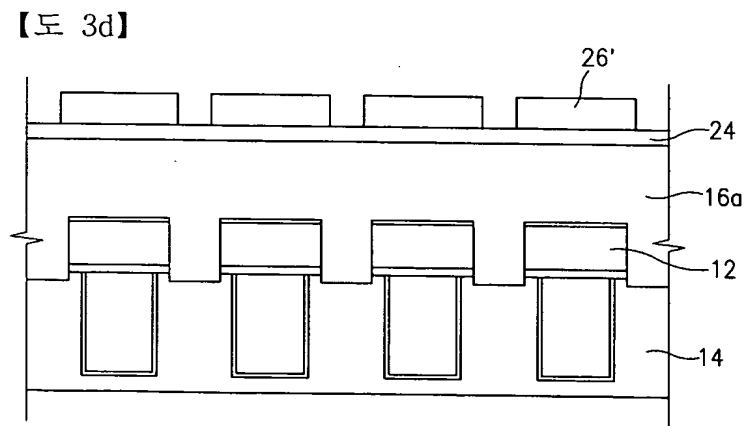
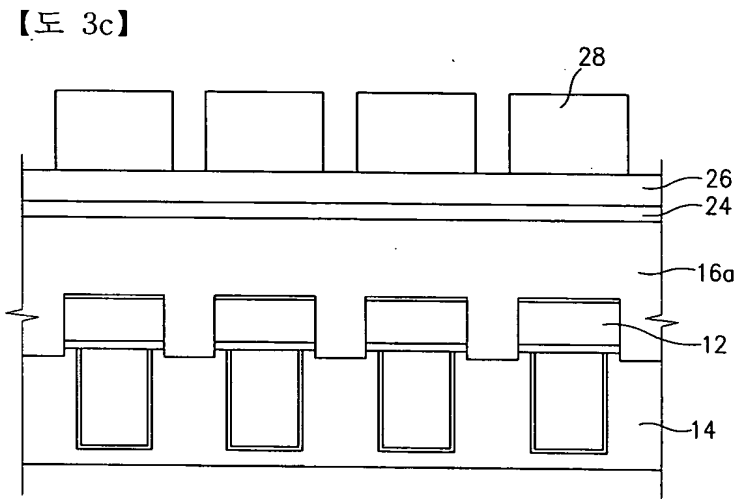
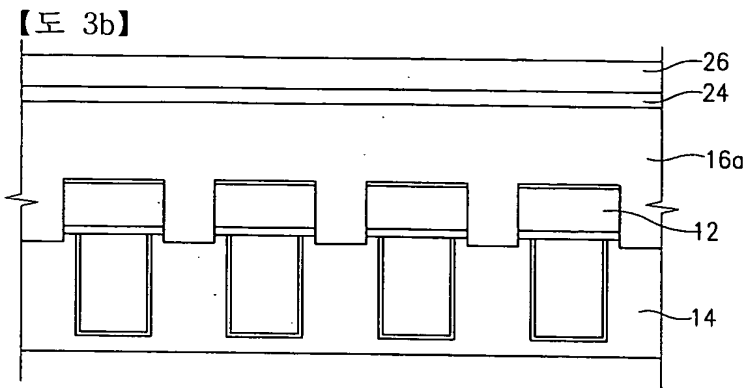


【도 2】

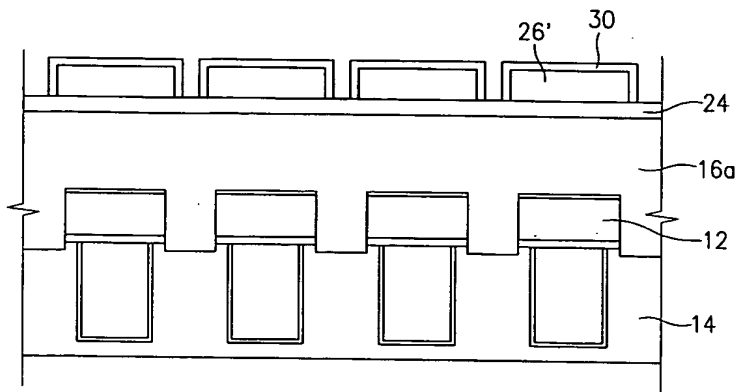


【도 3a】

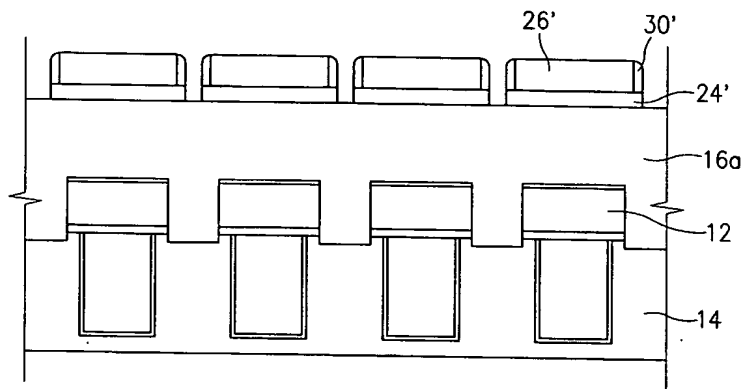




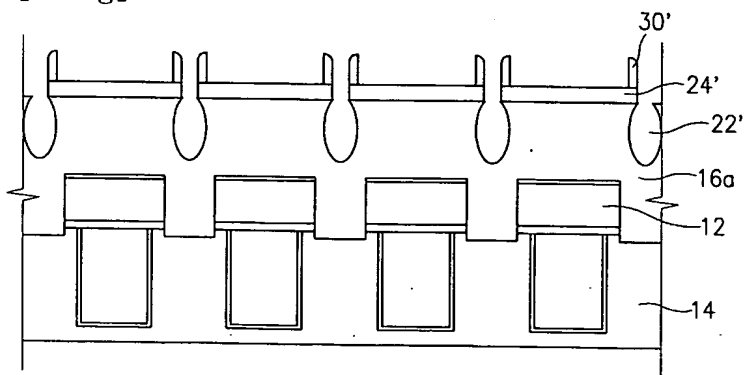
【도 3e】



【도 3f】

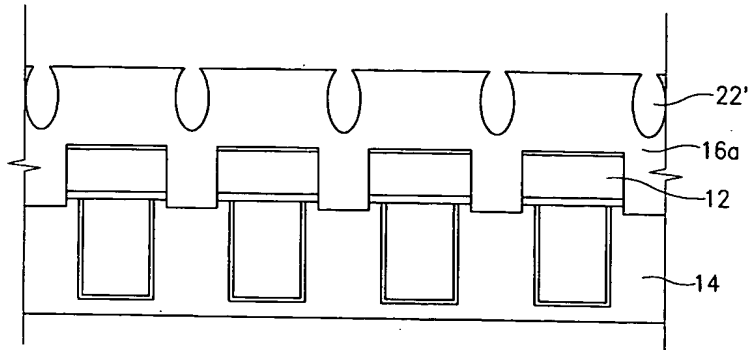


【도 3g】





【도 3h】



【도 3i】

